This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

08-018008

(43)Date of publication of application: 19.01.1996

(51)Int.CI.

H01L 27/04 H01L 21/822

(21)Application number: 06-146606

(71)Applicant: MITSUBISHI ELECTRIC CORP

(22)Date of filing:

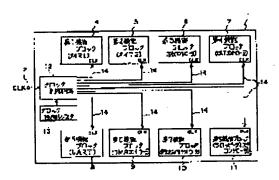
28.06.1994

(72)Inventor: HASEGAWA KENJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To suppress wasting of power caused by no supply of clock signal to unused functional block signal, by controlling supply of clock signal to a functional black based on the functional block selection data stored in a clock control register. CONSTITUTION: A clock control circuit 12, based on the value of control data written and set in a clock control register 13, controls supply of clock signal to each functional block. That is, by setting control data corresponding to used and unused functional blocks in the clock control register 13, the clock signal supplied to unused functional block is stopped, so that, wasteful power consumption caused by supplying clock signal to unused functional block is suppressed.



2 (18)日本国体部庁 (JP)

公職(4) 盐 华 塞 4

(11)特許出職公司等号

特丽平8—18008

(43)公開日 平成8年(1996)1月19日

对着郑永备尼

2

作工製剤等

STATE OF

H011 21/04

(SI) Int.Q.

H01L 21/04

(全9月)

00000013

(71) 出職人

平成6年(1994)6月28日 (22) 出版日

(21) 出票等中

和政都千代田区丸の内二丁目 2番3号 三數學學株式会社 長谷川 健次 (72) 発明者

伊丹市塔原 4 丁目 1 春風 三菱電路株式会 本十つ七世を形式

(\$2\$)

计全部 计图像 计多数

730代理人

化學存物或回路數量 (54) (発明の名称)

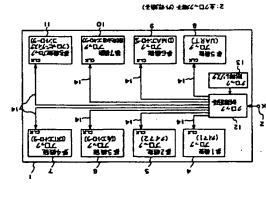
[21] [数数]

[目的] 無駄な電力消費の少ない半導体集積回路を得

【構成】 複数の機能プロック4~11が存在する半導 は、クロック創御回路12をコントロールする。クロッ ク朝御回路12から内部分岐クロックが出力され、各機 体集積回路1において、主クロック塩子2は、クロック 旬御回路12に入力され、クロック即御レジスタ13

に電力が消費されることがなくなって低消費電力化が可 [効果] 使用されていない機能プロックによって無駄

韶ブロック 4~11に供給される。



回路装置において、前記機能プロックへのクロック信号 関御回路とを備えたことを特徴とする半導体集積回路装 「諸米項11】 外部路子から供給されるクロック信号を **基に機能する複数の機能プロックを内蔵した半導体集積** の供給を制御するための機能プロック選択データを格納 **するクロック制御レジスタと、鉄クロック制御レジスタ** に格納された機能プロック選択ゲータを基に前配機協力 ロックへの前配クロック信号の供給を制御するクロック

的記機館プロックへのクロック信号の供 的に制御することを特徴とする請求項1配載の半導体塩 給を制御する前配クロック制御回路をタイマにより時間 [請來項2] 接回路装置。

を備えたことを特徴とする額水項1配銀の半導体集積回 前配機能プロックへのクロック信号の供 る受信データにより制御する非同期式汎用値列伝送回路 給を制御するクロック制御回路を、外部から送られてく 【数冬克3】

りクロック制御回路を制御することを特徴とする請求項 前配非同期式巩用直列伝送回路は、外部 とを比較手段において比較した結果が一致する場合に限 から送られてくるゲータとあらかじめ敬定されたゲータ 3四歳の半導体結構回路被開。 【加水场4】

別御することを特徴とする間水塔1配銭の半導体単純回 制御を行うための製込み用機能プロック選択データを格 納する関込み用クロック制御レジスタとを備え、前配ク 餡プロック選択データを基に前記機能プロックへのクロ 【請求項5】 外部から入力される朝込み信号を受け付 ける割込み処理節と、故割込み処理節が割込み信号を受 け付けたときに機能プロックへのクロック信号の供給の ロック慰御回路はクロック慰御レジスタに格納された極 ック信号の供給を制御し、あるいは前配割込み処理部が 倒込み信号を受け付けたときには前配割込み用クロック 制御レジスタに格納された関込み用機能プロック選択デ **一タを基に前配機能プロックへのクロック信号の供給を**

るタイマを備え、前記クロック制御回路は前配タイマの 出力とクロック制御レジスタに格納された機能プロック 選択データとを基に機能プロックへのクロック 信号の供 給を制御し、あるいは割込み処理部が割込み信号を受け 付けたときには割込み用クロック制御レジスタに格納さ れた耐込み用機能プロック選択データを基に削配機能プ ロックへのクロック信号の供給を制御することを特徴と 【精永項6】 前記クロック即御回路を時間的に即御す する請求項5配載の半導体集積回路装置。

|発明の詳細な説明|

[0001]

[産業上の利用分野] この発明は、複数の機能プロック 2.有した半導体集積回路装置に関するものである。

釣り込み用コントローラとしての機能を有した類7 機能 5。因において、1は複数の機能プロックを内積した学 等体集積回路装置、2は半等体集積回路装置1にクロッ ク信号を供給する主クロック端子である。3は半導体数 ロックである。5もタイマ機能を有した第2機能プロッ の機能を有した第3種間プロックである。 7 はCRTを 機能プロックである。8はUART (Universal Asynch ronous Receiver and Transmitter)としての価値を有 としての機能を有した数6機能プロックである。10は ブロックである。11はフレキシブルディスクコントロ 【従来の技術】図7は、従来の半導体集相回路装成であ 貧回路装置 1の内部の各機能プロックにクロック信号を 供給する内部クロック信号級である。4は前記效数の機 昭プロックの一ついわるタイト 機能を有した 加一機能ブ クである。6は10回仰を行う10コントローラとして **凶仰するCRTコントローラとしての機能を有した郊**⊿ した類5機能ブロックである。9はDMAコントローラ 一ラとしての機能を有した筋8機能プロックである。

【0003】従来の半導体集価回路数層は以上のように 4部の論理部分が第1価値プロック4と第2機能プロッ ク5と別3機能ブロック6と飲4機能ブロック7と第5 最信プロック8と怒を最信プロック9とだて番信プロッ の半導体気包回路投資1では、ボクロック処子2から供 ク10と第8機能ブロック11から構成されている。こ 合されたクロック信号は、内部クロック信号級3を通り 何的各種能プロックに供給されている。

[0004]

ない最低プロックがあっても、主クロック場子2から企 ての機能プロック4~11~クロック信号が常時供給さ **れるため、内部クロック信号録3に投税されている使用** てクロック信号の供給に伴う電力が無駄に消費される関 [発明が解決しようとする説明] 従来の半導体集値回路 **協図は以上のように構成されているので、使用されてい** されていない機能プロックのクロック信号供給系におい

解的するためになされたもので、使用されない機能プロ ック信号にクロック信号が供給されることによる無駄な 【0005】請求項1の発用は、上配のような問題点を 質を見りをお知できる半導体集権回路装置を得ることを 協点があった。

ックにクロック信号が供給されることによる無駄な消費 【0006】 請求項2の発明は、使用されない機能プロ な力を、時間的に制御する半導体集積回路数固を得るこ

[0007] 請求項3の発明は、使用されない機能プロ ックにクロック信号が供給されることによる無駄な消費 成力を外部から制御し抑制できる半導体集積回路装置を とを目的とする。

[0008] 関水項4の発明は、使用されない機能プロ

3

【0009】請求項5の発明は、使用されない機能プロ ックにクロック信号が供給されることによる無駄な消費 **電力を割込み制御により抑制できる半導体集積回路装置** を仰ることを目的とする。

[0010]請求項6の発明は、使用されない機能プロ ックにクロック信号が供給されることによる無駄な消費 な力を時間的に制御し、また使用されない機能プロック による無駄な消費電力を翻込み制御により抑制できる半 **育体塩和回路装置を得ることを目的とする。** [0011]

【説明を寄訳するための手段】請求項1の発明に係る半 **専体集積回路装度は、機能プロックへのクロック信号の 供給を倒御するための機能プロック選択データを格納す** 5クロック側御レジスタと、数クロック制御レジスタに 格納された機能プロック選択データを基に前配機能プロ ックへの前配クロック信号の供給を制御するクロック制 **声回路とを値えたものである。**

【0012】 額水項2の発明に係る半導体鉄箱回路装置 ロック制御回路をタイマにより朝御する構成を備えたも は、機能プロックへのクロック信号の供給を制御するク

[0013] 請求項3の発明に保る半導体集積回路装置

ロック慰御回路を、外部から送られてくる受信ゲータに より制御する非同期式汎用直列伝送回路を備えたもので 【0014】 請求項4の発明に係る半導体負額回路装置 は、外部から送られてくるデータとあらかじめ設定され は、機能プロックへのクロック信号の供給を制御するク たゲータとを比較手段が比較した結果、一致する場合に

限りクロック側御回路を創御する非同期式汎用直列伝送 【0015】請求項5の発明に保る半導体負債回路装置 回路を備えたものである。

御を行うための割込み用機協プロック選択データを格納 きの極信ブロックへのクロック位与の供給についての哲 ときには前記院込み用クロック即即レジスタに格能され **を問込み川原語プロック違択デークを基に前記機能プロ** は、外部から入力される前込み信号を受け付ける割込み する前込み用クロック制御レジスタとを有し、クロック 划仰回路计前起制込み処理部が割込み信号を受け付けた ックへのクロック信号の供給を同調する構成を備えたも 処理部と、版劃込み処理部が割込み信号を受け付けたと

【0016】 請求項6の発明に係る半導体数額回路装置 は、外部から入力される割込み信号を受け付ける割込み 処理師と、関込みがあったときに機能プロックへのクロ ック信号の供給を関御するための割込み用機能プロック **選択データを格納する割込み用クロック制御レジスタ**

込み用クロック制御レジスタに格納された割込み用機能 と、クロック制御回路を制御するタイマと、数タイマの **聞択ゲータとを基に前配機位プロックへのクロック信号** の供給を慰御し、あるいは関り込みがあったときには奴 プロック選択データを基に前配機館プロックへのクロッ ケ信号の供給を制御するクロック制御回路とを備えたも 出力とクロック制御レジスタに格納された機能プロック

[0017]

ックに対しては、前記機能プロック選択データを基にク ロック信号の供給を停止し、使用していない機能プロッ クにクロック信号が供給されることで無駄に消費される 【作用】請求項1における半導体集積回路装置は、クロ ック制御レジスタに格納された機能プロック選択データ 使用されずクロック信号を供給する必要のない機能プロ により機能プロックへのクロック信号の供給を制御し、 **電力を抑制するように作用する。**

イマは、クロック制御レジスタに格納された機能ブロッ **間号の供給の制御を設定された時間で制御し、使用され** 5 無駄な消費電力の抑制を前配散定された時間を基に行 ク選択データを基に行われる機能プロックへのクロック ない機能プロックにクロック信号が供給されることによ 【0018】請永項2における半導体集積回路装置のタ

れない機能プロックにクロック信号が供給されることに よる無駄な消費電力を外部から制御し抑制することを可 機能プロックへのクロック信号の供給の勧御を外部から **送られてくる受信データにより制御することで、使用さ** [0019] 請求項3における半導体集積回路装置は、 部にする。

ことを可能にする。

7 ロック信号の供給の制御を行うことで、使用されない 0020] 請求項4の発明における半導体集積回路装 賢は、外部から送られてくる受信データがあらかじめ穀 ぼされたデータと一致する場合に限り機能プロックへの 機能プロックにクロック信号が供給されることによる無 **以な消費性力を外部から慰御し抑制することを可能にす**

ロック制御回路は、割込み信号が受け付けられると割込 [0021] 請求項5における半導体集積回路装置のク み用機館プロック選択データを茶に機能プロックへのク ロック信号の供給を包御し、使用されない機能プロック こクロック信号が供給されることによる無駄な消費電力 を関込み制御により抑制するように作用する。

タを基に前記機能プロックへのクロック作号の供給を関 ロック信号の供給の制御を時間的に飼御し、また関込み 即し、使用されない機能プロックにクロック借号が供給 機能プロック選択データを基に行う機能プロックへのク 信号が受け付けられると割込み用機能プロック選択デー されることによる無駄な消費電力を、時間的にあるいは 【0022】請求項6における半導体製積回路装置は、

例り込みにより制御することを可能にする。 [0023] **東福寅1. 以下、轄水瓜1の発用の一東福留本因につい**

て説明する。図1は、本実施例の半導体集積回路装置の または相当の部分については同一の符号を付し説明を省 略する。図において12は各機能プロック4~11~の タが暫き込まれるクロック制御レジスタである。14は 各機能プロック4~1.1~クロック信号を供給する内部 る。13はクロック制御回路12が各機館プロック4~ 1.1~のクロック信号の供給も制御するための制御ゲー 構成を示すプロック図である。図1において図1と同一 クロック信号の供給を制御するクロック制御回路であ 分岐クロック信号様である。

の(n)は、全ての価値プロック4~1.1にクロック信 母を供給する制御データ「111111111」が書き込 まれ数定されているクロック制御レジスタ13の状態を 示している。 同図 (b) は、第1機能プロック4と第3 ク10にクロック信号を供給する制御データ「1010 館プロックイー11にクロック信号を供給しない制御デ 【0024】図2は、クロック制御レジスタ13に着き 込まれ股定された制御データを示す税明図である。 図2 極鉛プロック6と数5種餡プロック8と数1種餡プロッ 1010」が音き込まれ設定されているクロック関御レ ジスタ13の状態を示している。同図 (c) は全ての機 一夕「00000000」が書き込まれ税定されている クロック倒御レジスタ13の状態を示している。

[0025] クロック慰問レジスタ13の慰御ゲータは 欧上位のアットが第1最個プロック4の慰費ゲータアッ トに対応し、以下順番に下位に進んで第2機能プロック 5の勧御ゲータピット、第3機能プロック6の怠倒デー タピット、・・・最下位のピットが第8機能ブロック1 1の包御データビットに対応している。

[0026]次に、動作について説明する。この半導体 ている即御データの値により各機能プロックへのクロッ 信号の供給は、主クロック処子(外部鑷子) 2からクロ ック制御回路12を介して内部分板クロック信号級14 2は、クロック制御レジスタ13に書き込まれ数定され 集積回路装置1の各機能プロック4~11~のクロック により夫々供給されている。また、クロック朝御回路1 ク信号の供給を慰留する。

[0027] 例えば、因2の (a) に示す即即データが クロック関節レジスタ13に散定されると、全機館プロ ック4~11にクロック信号が供給される。また、同図 ク11へのクロック信号の供給は停止される。また、同 (b) に示す刨御データがクロック刨御レジスタ13に 段定されると、第1機館プロック4と第3機能プロック 6と第5機能ブロック8と飲7機能ブロック10にクロ ック信号が供給される一方、第2機能プロック5と第4 機能ブロック7と気6機能ブロック9と第8機能ブロッ

図 (c) に示す的物データがクロック関節レジスタ13 に設定されたときには、全機館プロックへのクロック信

[0028] 従りた本炭福安かは、使用する価値プロッ りの供給は停止される。

クと使用しない機能プロックに対応した関仰ゲータ(使

用する機能プロックに対応する制御ゲータビットを

ピットを'0'として俳成された町如ゲータ) をクロッ ク朗仰レジスタ13に数定することで、使用しない機能 プロックへ供給されるクロック信号を停止することがで き、使用しない機能プロックへクロック信号が供給され ることにより消費される無駄な電力を抑制することがで '1'、使用しない最ロプロックに対応する知即ゲータ

[0020] 光播無名,以下、原米斯2の発明の一次数 例を図について説明する。図3は、本実施例の半導体集 傾回路装置の構成を示すプロック図である。図3におい て図しと同一または缶辿の部分については同一の作号を 付し税明を名略する。図において18はクロック制物回 路1.2に内積されているタイマである。 [0030] 次に動作について収明する。 クロック関助 クロック制御回路12が各機値プロックへのクロック係 回路12による機能プロック4~11~のクロック信号 の供給の慰問は、自信波路倒1の動作と同じである。ク ロック朝御回路12に内議されたタイマ18は、クロッ クロック財政回路12による各権記プロックへのクロッ ク信号の供給の制御はタイマ18に敷定された時間が発 過したとき開始され、あるいはタイマ18に設定された ク制御レジスタ13に着き込まれた制御ゲータに従って 中の供給の関節を実行する時点を規定するものであり、 時間が舒適する間、実行される。

を供給しないような即御データを収定した場合には、剪 迅速させ、気3機能プロック6と別4機能プロック1の 最低プロック6と低4種協プロック1とにクロック信号 3機協プロック6と節4機協プロック1の内積レジスタ の内容を、煎3機餡プロック6と煎4機餡プロック7に 供給されていろクロック信号がタイマ 1 8に敷定された 母国が禁遏して存止するまでに祭3機能プロック6と終 4機能プロック1の内積レジスタの内容を外部メモリに [0031] 例えば、クロック回仰レジスタ13に到3 内臓アジスタの内容の破壊を防ぐにとが可信となる。

の発明の一実施例を図について説明する。図4は、本実 [0032] 英施例3.以下、請水項3および請水項4 指針の半等体は独自的技術の構成を示すプロック区であ クロック虹部回路12に内線されているUART(岩回 開式汎用直列伝送回路) である。19 a はUART19 に散けられたコンペア手段 (比較手段) でもり、受信を は同一の存りを付し段明を省略する。図において19は る。図4において図1と回しまたは在当の毎分にしいて **ータとあらかじめ設定されているゲータとを比較する。** 20はUART19のゲータ受信婦子である。

4 日 日 中日

【0033】次ぎに動作について説明する。 クロック制 ロック低りの供給を制御する動作を開始するのは、デー タ受信 発子 20 に UART 19のコンペア手段 19aに 卸レジスタ13に替き込まれた関御データの値に応じて クロック慰御回路12が各機能プロックリー11〜のク 投近したゲータと同じゲータが送られてきたときであ

ロックを使用することになるが、このような場合、全傷 9 a に散定したデータと同じデータが受信されたときに クロック制御レジスタ13に数定した前配制御データの 内容が実行されるようにして、全機能プロックにクロッ ク估りを供給し、回線を接続して通話を行うことかでき 【0034】このような機能が有効に利用できるものと して我帝屯岳などがある。我帝屯岳においてはҵ岳の受 倍待機中には、第5機能プロック8から第8機能プロッ ク11までの機能は使用せず、また受信時には全機能ブ 億プロックにクロック信号が供給されるような勧御デー タセクロック制御レジスタ13に散定し、電話受信デー タの最初に挿入された、UART19のコンペア手段1

【0035】また、クロック制御レジスタ13に熟5機 馅プロック8から第8機能プロック11までクロック信 りの供給を停止する財御データを設定し、通話終了時の ロック無智レジスタ13に数定した監問慰御データの内 受信ゲータの最後でUART19のコンペア手段198 こ散定したデータと同じデータが受信されたときに、ク 容が実行され、如5機能プロック8から類8機能プロッ ク11までのクロック信号の供給を停止し、第1機能ブ ロッシュから第4億億プロックフまではクロック信号を 以給し、円度受価特徴に移行する。

1.2による各種館プロックへのクロック信号の供給ある [0036] 従って本実施例では、外部から送られてき たデータを基にしてRT19により、クロック制御回路 いはクロック信号の供給の停止を制御することが可能と

る。図5において図1および図3と同一または相当の節 CRT21を使成しているCRT切物級である。23は の発明の一実施倒を図について説明する。図5は、本実 施例の半導体集積回路装置の構成を示すプロック図であ 分については同一の符号を付し説明を名略する。図にお いて21はCRTである。22は筋4機能プロック7と ロック10との固を接続するキーボード割り込み間卸録 であり、キーボード23からキー入力された割込み信号 が出力される。25は第7機能プロック10からクロッ ク朗抑回路12~の割込み信号が出力されるクロック制 2による各種館ブロックへのクロック信号の供給を制御 するための制御データが書き込まれる第1クロック制御 [0037] 実施例4. 以下、請求項5および請求項6 キーボードである。24はキーボード23と第1機能ブ 毎回路割込み即御幕である。26ほクロック制御回路1

レジスタである。27は割込みが受け付けられたときに クロック制御回路12による各機能プロックへのクロッ ク信号の供給を制御する制御データが審き込まれる第2 クロック期御レジスタである。28は割り込みを受け付 ける割込み処理部である。 **【0038】図6は、図5に示す第1クロック制御レジ** スタ26と第2クロック制御レジスタ27に書き込まれ は、第4機能プロック7のみにクロック信号を供給しな い気御ゲータ「11101111」が無1クロック制御 (b) は、すべての機能プロックにクロック信号を供給 **設定された制御データを示す説明図である。同図(a)** するときの数定ゲータが第2クロック制御レジスタ27 レジスタ26に設定された状態を示している。同図 に費き込まれ数定された状態を示している。

【0039】次に動作について説明する。半導体集物回 ロック制御レジスタ26あるいは第2クロック制御レジ **ボクロック端子 2 からクロック制御回路 1 2 を介して各** 機能プロックへ接続された内部分核クロック信号線14 により行われている。クロック制御回路12は、第1ク スタ27に書き込んだ制御データの値により、各機能ブ 路装屋1の各機能プロックへのクロック信号の供給は ロックへのクロック信号の供給を削削する。

v18に散定された時間、キーボード23から第7機能 た制御データの設定内容を実行することにより、第4機 【0040】例えば、魏帝用パソコンなどにおいてタイ プロック10を介して割込み処理部28へ割込み信号が 入力されない場合には、タイマ18に設定された時間が 摂過し、あるいはタイマ18に設定された時間が経過す るまでの間、第1クロック制御レジスタ26に設定され 間プロック1へのクロック佰号の供給を停止し、CRT 21~の制御を止める。

【0011】次に、キーボード23から祭7機能ブロッ ク10を介して割り込み信号が人力されると、第2クロ ック倒御レジスタ27に数定された制御データの内容に なって各種館プロックへのクロック信号の供給を制御す 5。この場合、制御データは「11111111」であ 5から第4機能ブロック7および全ての機能ブロックに 7ロック信号が供給され、CRT21への制御を開始す

の出力とキーボード23からキー人力された割込み信号 [0042] このように本実施例によれば、タイマ18 4、第1クロック制御レジスタ26に敷定された制御デ **ータの内容に従ったものから第2クロック制御レジスタ** 2.7に設定された制御データの内容に従ったものに切り 替えることができ、各機能プロックへのクロック信号の [0043]なお、以上説明した実施例では、タイマ1 3と樹込み処理部28とをクロック制御回路12に殺け とに応じて、各機能プロックへのクロック信号の供給 供給の制御に柔軟性を付与することが可能となる。

5ように構成したが、タイマ18を設けることなく割込

み処理師28のみを散け、関込み処理師28において受 け付けた関り込みの内容に応じて第1クロック制御レジ スタ26あろいは第2クロック制御レジスタ27の制御 データの内容に応じた各種館プロックへのクロック信号 の供給の慰御が行われるように構成してもよい。

[0044]

ば、価値プロック選択データを格割するクロック制御レ ロック選択データを基に各機能プロックへのクロック信 りの供給を制御するクロック制御回路とを備えるように 構成したので、使用されない機能プロックにクロック信 りが供給されることによる無駄な消費配力を抑制できる ジスタと、萩クロック制御レジスタに格納された機能ブ [発明の効果] 以上のように、精水道1の発明によれ 半導体集積回路装置が得られる効果がある。

れることによる無駄な消費電力を、時間的に倒御できる へのクロック信号の供給を制御する前配クロック制御回 【0045】請求坂2の発明によれば、各価値ブロック で、使用されない機能プロックにクロック信号が供給さ 路をタイマにより時間的に勧御するように構成したの 半導体集積回路装置が得られる効果がある。

ことによる無駄な消費電力を外部から制御し抑制できる を、外部から送られてくる受信ゲータにより制御する非 度用されない機能プロックにクロック信号が供給される 【0046】請求項3の発明によれば、各種値プロック 同期式汎用直列伝送回路を備えるように構成したので、 へのクロック信号の供給を制御するクロック制御回路 半導体集積回路装置が得られる効果がある。

てくるデータとあらかじめ散定されたゲータとを比較手 【0047】請求項4の発明によれば、外部から送られ ク制御回路を制御する非同期式汎用並列伝送回路を備え ロック信号が供給されることによる無駄な消費電力を外 部から制御し抑制できる半導体集積回路装置が得られる 段において比較した結果が、一致する場合に扱りクロッ るように格成したので、使用されない機能プロックにク

[0048] 請求項5の発明によれば、割込み処理部が 朝込み信号を受け付けたときに、附込み用クロック制御 れない機能プロックにクロック信号が供給されることに こより機能ブロックへのクロック信号の供給を制御する クロック制御回路を備えるように構成したので、使用さ レジスタに格納された智込み用機能プロック選択データ

よる無駄な消費電力を割込み回仰により抑制できる半導 体気種回路装置が得られる効果がある。

9

[0049] 精氷項6の発列によれば、タイツの出力と クロック制御レジスタに格納された機能プロック選択デ **ータとを基に各機能プロックへのクロック信号の供給を** 倒込み用機値プロック選択ゲータを基に前的各種値プロ ックへのクロック信号の供給を制御するクロック制御回 関節し、あるいは関込み処理部が関込み信号を受け付け たときには割込み用クロック制御レジスタに格納された 路を備えるように構成したので、使用されない機能プロ ックにクロック信号が供給されることによる無駄な消費 塩力を時間的に制御し、また使用されない機能ブロック による無駄な消費組力を抑制できる半導体纵積回路拠位 が得られる効果がある。

[図面の簡単な説明]

[図1] 請求項1の発明の一災施例による半導体集的 回路被回の構成を示すプロック図である。 |図2| 請求項1の発明の一実施的による半導体集員 回路数量のクロック制御レジスタに書き込まれ数定され た団御データを示す税用図である。

[図3] 請求項2の発明の一実施例による半導体集積 [図4] 請求項3と請求項4の発明の一実施倒による 回路被偏の構成を示すプロック図である。

[図5] 請求項5と請求項6の発明の一次婚例による 【図6】 請求項5と請求項6の発用の一災船倒による 半等体域位回路数回のクロック制御レジスタに動き込ま 半導体数種回路数層の構成を示すプロック図である。 **半等体集領回路装備の構成を示すプロック図である。**

|図7| 従来の半導体集積回路装置の構成を示すプロ れ設定された制御ゲータを示す規則図である。 ック図である。

(Inaron ta)

2 主クロック鑷子(外部鑷子)、4 第1番組プロッ 7、5 祭2番館プロック、6 約3番館プロック、7 第4機信ブロック、8 数5機信ブロック、9 対6 磁信プロック、10~気7 機能プロック、11~数8 機 **UART (米国際式化用資料保護国際)、19mmン** 路、13 クロック制御レジスタ、18タイヤ、19 餡プロック(機能プロック)、12 クロック制御回 ペア手段 (比較手段)、28 間込み処理師。 8

日子8-18008

(1)

